



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63117445 A**(43) Date of publication of application: **21.05.88**

(51) Int. Cl.

H01L 21/78
H01L 21/304
H01L 21/306

(21) Application number: **61263573**(71) Applicant: **CITIZEN WATCH CO LTD**(22) Date of filing: **05.11.86**

(72) Inventor: **NAGANO MUTSUMI**
SATO TETSUO

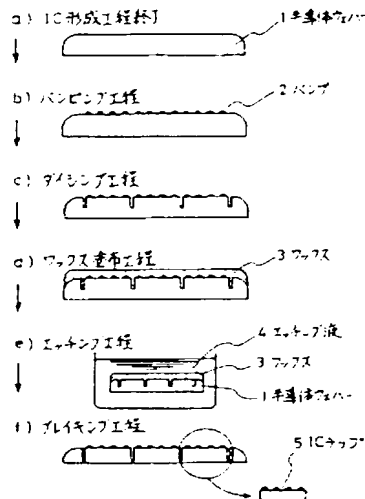
(54) **PROCESSING OF SEMICONDUCTOR WAFER**

(57) Abstract:

PURPOSE: To form an ultra-thin semiconductor wafer without its breakage during a bumping process or a dicing process in such a way that its reverse side is polished by etching after the bumping and dicing processes.

CONSTITUTION: After a process to form an integrated circuit has been completed, a bump 2 is formed by an electrolytic plating method during a bumping process. During a dicing process, grooves are formed in such a way that they reach a prescribed depth as viewed from the surface of a semiconductor wafer 1 along the integrated circuit. A wax material 3 is applied in order to protect the surface of the semiconductor wafer 1 from an etching solution 4. The semiconductor wafer 1 is immersed in the etching solution 4, and the reverse side of the semiconductor wafer 1 is etched until a prescribed thickness is obtained. The semiconductor wafer 1 is washed by water so as to wash the etching solution 4 away. The semiconductor wafer 1 is broken so that an integrated circuit chip 5 can be separated.

COPYRIGHT: (C)1988,JPO&Japio



Japanese Laid-Open Patent Application No. 117445/1988
(Tokukashou 63-117445) (Published on May 21, 1988)

(A) Relevance to claim

The following is a translation of passages related to claim 1 of the present invention.

(B) Translation of the relevant passages

[EMBODIMENTS]

Referring to Figures, the following description will discuss embodiments of the present invention.

Referring to Fig. 1, an explanation will be given of the first embodiment of the present invention. Fig. 1, which shows processes for carrying out a machining method of a semiconductor wafer in accordance with the first embodiment of the present invention, includes schematic cross-sectional views of the semiconductor wafer in the respective processes.

Additionally, in the first embodiment and a second embodiment (which will be discussed later), processes taken until completion of the IC formation are the same as those conventionally used.

a) Completion of IC formation

b) Bumping process

Bumps are formed on an IC by electrolytic plating.

c) Dicing process

Grooves are formed from the surface of an IC wafer 1 up to a predetermined depth along IC chips.

d) Wax applying process

Wax 3 is applied so as to protect the surface of the IC wafer 1 from an etchant 4.

e) Etching process

The semiconductor wafer 1 is immersed into the etchant 4 so that the surface of the semiconductor wafer 1 is subjected to an etching process until it has reached a predetermined width.

Moreover, although not shown in Fig. 1, upon completion of the etching, the semiconductor wafer 1 is washed with water so as to remove the etchant 4 therefrom.

Furthermore, the semiconductor wafer 1 is washed with a solvent so as to remove the wax from the surface thereof.

f) Breaking process

The semiconductor wafer 1 is subjected to a breaking process so as to be separated into IC chips 5.

In the above-mentioned embodiment, in order to protect the surface of the semiconductor wafer 1, the wax 3 needs to be made of a material which is resistant to the etchant 4, gives no adverse effects to the element area of the semiconductor wafer 1, and is readily washed by a

specific solvent. With respect to such a wax material, fluororesins, etc. are preferably used.

Moreover, it is necessary for the etchant 4 to have a stable etching rate to the semiconductor wafer 1, and to be less susceptible to variations in the amount of etching inside the semiconductor wafer 1. With respect to such an etchant, for example, in the case when silicon is used as a material of the semiconductor wafer 1, hydrofluoric acid, nitric acid, a mixed acid of acetic acid, etc. are preferably used.

Next, referring to Fig. 2, the following description will discuss the second embodiment of the present invention. In the same manner as Fig. 1, Fig. 2 shows processes for carrying out a machining method of a semiconductor wafer in accordance with the embodiment of the present invention, and includes schematic cross-sectional views of the semiconductor wafer in the respective processes.

Processes from a) to b) are the same as those of the first embodiment; therefore, the description thereof is omitted.

c) Dicing process

A semiconductor wafer 1 is subjected to a dicing process up to a predetermined remaining thickness. In this case, the remaining thickness 6 from dicing is

chip) When a semiconductor wafer is cut by the dicing blade, fine irregularities occur on the cut face 3-1, and machining distortions also occur thereon. Upon dicer test, cracks occur from these irregularities, and these cracks are developed by the machining distortions. Therefore, the chip 3 after the dicing process is immersed in an etchant 4 so that the machining-affected layer is removed so as to form a smooth surface.

[0015] With respect to the etchant, a sulfuric-acid-based solution ($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$) or an ammonia-based solution ($\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$) is preferably used. Upon application of these solutions, the etching rate is virtually set to 1 $\mu\text{m}/\text{min}$, in which the affected layer can be removed in five minutes.

[0016] (Process for removing a protective film) The chip 3, cut as described above, is immersed in a solvent 5 such as acetone, and washed so that the protective film 2, which serves as resist, is removed.

[0017] In accordance with the above-mentioned processes, a wafer, made of GaAs, having a diameter of 3 inches is cut so as to form chips of 2 mm \times 2 mm. These chips were secured onto a substrate with a bonding agent, and this was subjected to a shearing test. As a result, any of these chips were separated at a load of 8 kg, thereby indicating stable shearing strength. In contrast, the

individual IC chips 5 are obtained by washing the wax 3 forming the bonding layer, without the need for breaking.

In the second embodiment, the etching process to the rear face of the semiconductor wafer 1 and the separation process into the IC chips 5 can be carried out in one process, and another advantage is that a smooth cut face is obtained without cracks and protrusions due to cleavage of monocrystal on the side face of the IC chip 5.

③ 公開特許公報(A)

昭63-117445

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑫ 公開 昭和63年(1988)5月21日

H 01 L 21/78
21/304
21/306D-7376-5F
B-7376-5F
C-8223-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体ウェハの加工方法

⑭ 特 願 昭61-263573

⑮ 出 願 昭61(1986)11月5日

⑯ 発 明 者 長 野 睦 東京都田無市本町6丁目1番12号 シチズン時計株式会社
田無製造所内⑰ 発 明 者 佐 藤 哲 夫 東京都田無市本町6丁目1番12号 シチズン時計株式会社
田無製造所内

⑱ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体ウェハの加工方法

2. 特許請求の範囲

ICの形成を終了した半導体ウェハの加工方法において、バンピング工程、ダイシング工程、半導体ウェハのICが形成された面に保護のためのワックスを塗布する工程、ワックスを塗布した半導体ウェハをエッチング液中に浸漬し半導体ウェハの裏面をエッチングする工程、エッチングが終了した半導体ウェハからエッチング液及びワックスを洗い流す洗浄工程、半導体ウェハをICチップに分離する工程を有することを特徴とする半導体ウェハの加工方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体ウェハの加工方法に関するものである。

〔従来の技術〕

半導体ウェハ径の大型化に伴ない半導体ウェ

ハの厚さは割れや欠けを防止するために厚くなるが、半導体ウェハをICチップに分離後パッケージに組込む際は、パッケージの薄型化を図るためにICチップ厚は薄いことが望ましい。

そこで半導体ウェハにICを形成した後に半導体ウェハ裏面の研磨を行ない、ウェハの状態でICの薄型化加工を行なっている。

従来ICにパンプ(突起電極)を形成する場合には、概略第3図に示すような工程で半導体ウェハからICチップ分離までの加工を行なっていた。尚、IC形成までの工程の図示は省略する。

a) IC形成工程終了

b) グラインディング工程

半導体ウェハ1の裏面を機械研磨する。

c) バンピング工程

電解メッキによりICにパンプ2を形成する。

d) ダイシング工程

e) ブレイキング工程

半導体ウェハ1をICチップ5に分離する。

という工程であった。

〔発明が解決しようとする問題点〕

しかしながら従来の半導体ウェハの加工方法では、パンプ付ICを製作する場合、裏面をグラインディングした後にパンピング及びダイシングを行なっているため、半導体ウェハを薄く研磨し過ぎるとパンピング工程あるいはダイシング工程で半導体ウェハが割れてしまう。特に半導体ウェハが大口径であると割れやすくなる。またグラインディング工程とパンピング工程の順序を入れ替えて、パンピング工程の後にグラインディング工程を行なうと、グラインディングの衝撃でパンプを破損したり、パンプ高さのバラツキにより平行度が出ないという問題点が生じる。

以上のような理由から半導体ウェハの超薄型加工が不可能であるという問題点があった。

本発明の目的は、パンピング工程あるいはダイシング工程において半導体ウェハが割れることなく超薄型加工が可能な半導体ウェハの加工方法を提供するものである。

〔問題点を解決するための手段〕

c) ダイシング工程

半導体ウェハ1の表面からICに沿って所定の深さまで溝を入れる。

d) ワックス塗布工程

半導体ウェハ1の表面をエッチング液4から保護するためにワックスを塗布する。

e) エッチング工程

半導体ウェハ1をエッチング液4に浸し、所定の厚さになるまで半導体ウェハ1の裏面をエッチングする。

また第1図中には図示してないが、エッチング終了後半導体ウェハ1を水で洗浄しエッチング液4を洗い流す。

更に半導体ウェハ1を溶剤で洗浄し、表面のワックスを洗い流す。

f) ブレイキング工程

半導体ウェハ1をブレイキングして、ICチップ5に分離する。

上記実施例において半導体ウェハ1の表面保護のためのワックスはエッチング液4に対して

上記目的を達成するために、本発明では、半導体ウェハを所定の深さまでダイシングし、半導体ウェハ表面に保護のためのワックスを塗布した後に半導体ウェハ裏面を所定の厚さだけエッチングにより研磨する。

さらに半導体ウェハをブレイキングしてICチップに分離する。

〔実施例〕

以下本発明の実施例を図面に基づいて詳述する。

本発明の第1実施例を第1図を参照しながら説明する。第1図は本発明の第1実施例による半導体ウェハの加工方法を示す工程図であり、各工程では半導体ウェハの断面図を模式的に示している。

なお、第1実施例および第2実施例（後述する）では、a) IC形成工程終了、までの工程は従来と同じである。

a) IC形成工程終了

b) パンピング工程

電解メッキによりICにパンプ2を形成する。

耐性を有し、かつ半導体ウェハ1の素子領域に悪影響を及ぼさず、また特定の溶剤で容易に洗浄できる材料でなければならない。このようなワックス材としては、ふっ素系樹脂などが適当である。

またエッチング液4は半導体ウェハ1に対するエッチング速度が安定しており、かつ半導体ウェハ1内でのエッチング加工量のバラツキが小さいことが必要である。このようなエッチング液としては、例えば半導体ウェハ1の材質がシリコンである場合は、ふっ酸、硝酸、酢酸の混酸等が適当である。

またエッチングの際は途中で半導体ウェハ1を揺動しエッチング液4を十分に攪拌するか、あるいはエッチング液4を半導体ウェハ1に垂直に吹きつけるような機構とし、半導体ウェハ1内で均一なエッチングが進むようにする必要がある。

次に、本発明の第2実施例を第2図を参照しながら説明する。第2図は第1図と同様に本発明による半導体ウェハの加工方法を示す工程図であ

り、各工程では半導体ウェハの断面図を模式的に示している。

α) ~ β) の工程は第1実施例と同様であるので説明を省略する。

c) ダイシング工程

半導体ウェハ1を所定の残厚までダイシングする。このときダイシング残厚6はエッチングする厚みより薄くしておく。

d) ワックス塗布工程

半導体ウェハ1をワックス3で石英等の支持基板7に固定する。ここでワックス3は半導体ウェハ1の表面保護及び支持基板7との接着層の働きをする。

e) エッチング工程

半導体ウェハ1を支持基板7ごとエッチング液4に浸し、半導体ウェハ1が所定の厚さになるまで裏面をエッチングする。

ダイシング残厚6にエッチングする厚さより薄いので、エッチングが終了したとき半導体ウェハ1はICチップ5に分離された状態

で支持基板7に固定されている。

更に第2図中には図示していないが、エッチング終了後半導体ウェハ1を支持基板7ごと水で洗浄しエッチング液4を洗い流す。

f) ワックス洗浄工程

半導体ウェハ1を支持基板7ごと溶剤で洗浄する。所定の厚さまでエッチングした時点で半導体ウェハ1はICチップ5に分離されているので、接着層となっているワックス3を洗い流せばブレイキングを行わずにICチップ5が単体で得られる。

上記第2実施例では、半導体ウェハ1の裏面のエッチングとICチップ5への分離が1工程で行なえ、またICチップ5側面には単結晶の劈開による欠けや突起がなく平滑な切断面が得られる、という利点がある。

〔発明の効果〕

以上の説明で明らかなように、本発明によれば従来パンピング、ダイシング工程の前に行なっていた半導体ウェハの裏面研磨をこれらの工程の

後に行ない、かつ機械的なグラインディングではなくエッチングにより裏面研磨を行なうので半導体ウェハに機械的なダメージを与えず割れを防止できる。

従って従来不可能であったパンプ付の半導体ウェハの超薄型加工が可能となるという効果がある。

4. 図面の簡単な説明

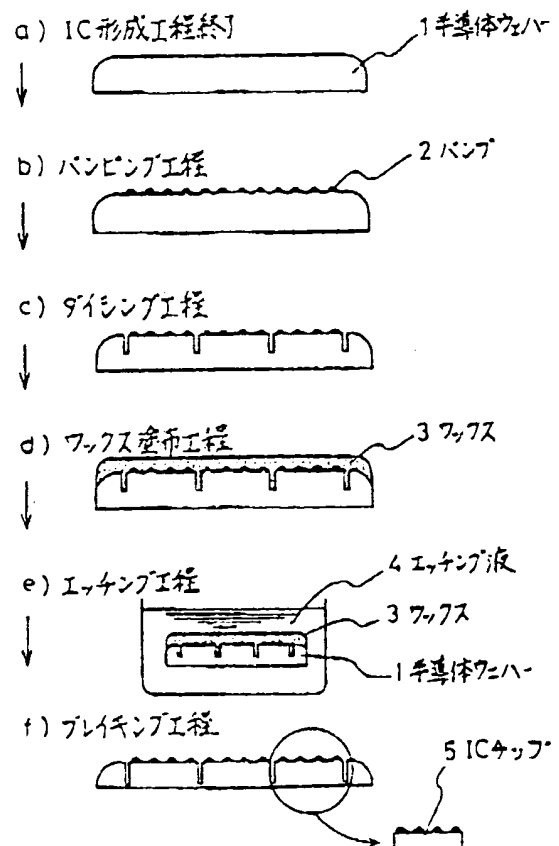
第1図は本発明の第1実施例を示す半導体ウェハの加工方法の工程図、第2図は本発明の第2実施例を示す工程図、第3図は従来例を示す工程図である。

- 1 …… 半導体ウェハ、 2 …… パンプ、
3 …… ワックス、 4 …… エッチング液、
5 …… ICチップ、 6 …… ダイシング残厚、
7 …… 支持基板。

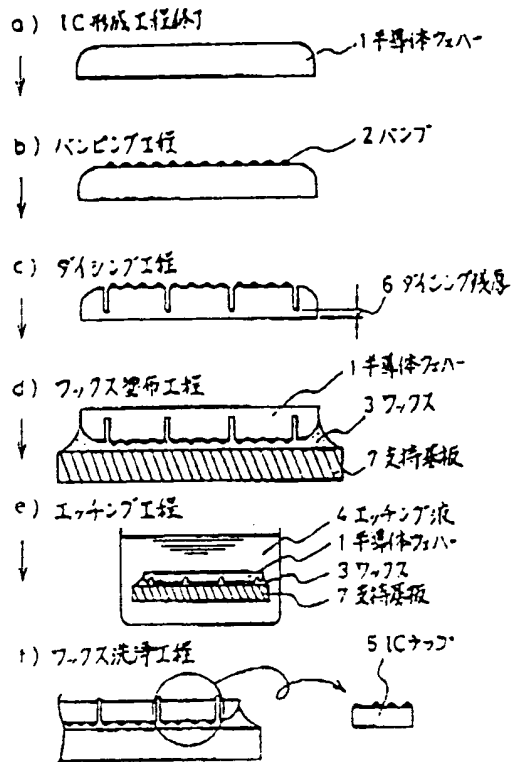
特許出願人 シチズン時計株式会社



第1図



第 2 図



第 3 図

